

1/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2006 The Thomson Corporation. All rts. reserv.

0009720570 - Drawing available
WPI ACC NO: 2000-005273/ 20 00 01
Related WPI Acc No: 1999-625482; 1999-625488
XRPX Acc No: N2000-004716

Transistor structure of metal oxide semiconductor type solid state image pickup - has doped barrier layer which connects barrier layer of photodiode and bottom portion of drain area formed under forwarding gate and channel layer

Patent Assignee: ABE S (ABES-I); HORI M (HORI-I); IHARA H (IHAR-I); INOKUMA H (INOK-I); INOUE I (INOUE-I); MAKABE A (MAKA-I); NAKAMURA N (NAKA-I); NARUSE H (NARU-I); NOMACHI A (NOMA-I); NOZAKI H (NOZA-I); SHIBATA H (SHIB-I); SHIOYAMA Y (SHIO-I); TOSHIBA KK (TOKE); YAMAGUCHI T (YAMA-I); YAMASHITA H (YAMA-I)
Inventor: ABE S; HORI M; IHARA H; INOKUMA H; INOUE I; MAKABE A; NAKAMURA N; NARUSE H; NOMACHI A; NOZAKI H; SHIBATA H; SHIOYAMA Y; YAMAGUCHI T; YAMASHITA H

Patent Family (6 patents, 2 countries)

Patent Number	Kind	Date	Application Number	Kind	Date	Update
JP 11284166	A	19991015	JP 199887380	A	19980331	200001 B
JP 3403061	B2	20030506	JP 199887380	A	19980331	200330 E
US 6690423	B1	20040210	US 1999272337	A	19990319	200413 E
US 20040108502	A1	20040610	US 1999272337	A	19990319	200438 E
			US 2003727515	A	20031205	
US 7042061	B2	20060509	US 1999272337	A	19990319	200632 E
			US 2003727515	A	20031205	
US 20060163684	A1	20060727	US 1999272337	A	19990319	200650 E
			US 2003727515	A	20031205	
			US 2006387819	A	20060324	

Priority Applications (no., kind, date): JP 199870892 A 19980319; JP 199870801 A 19980319; JP 199887380 A 19980331

Patent Details

Number	Kind	Lan	Pg	Dwg	Filing Notes
JP 11284166	A	JA	12	7	
JP 3403061	B2	JA	12		Previously issued patent JP 11284166
US 20040108502	A1	EN			Division of application US 1999272337
					Division of patent US 6690423
US 7042061	B2	EN			Division of application US 1999272337
					Division of patent US 6690423
US 20060163684	A1	EN			Division of application US 1999272337
					Division of application US 2003727515
					Division of patent US 6690423
					Division of patent US 7042061

Alerting Abstract JP A

NOVELTY - The doped barrier layer (8) which connects barrier layer (7) of photodiode (3) and bottom portion of drain area (5) is formed under forwarding gate (4) and channel layer (9) which adjoins barrier layer of photodiode.

USE - In metal oxide semiconductor type solid state image pickup.

ADVANTAGE - Since barrier layer is provided between photodiode and drain, signal electric charge of photodiode can be fully forwarded by source voltage. DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of transistor structure. (3) Photodiode; (4) Forwarding gate; (5) Drain area; (7) Barrier layer; (8) Doped barrier layer; (9) Channel layer.

Title Terms/Index Terms/Additional Words: TRANSISTOR; STRUCTURE; METAL; OXIDE; SEMICONDUCTOR; TYPE; SOLID; STATE; IMAGE; DOPE; BARRIER; LAYER; CONNECT; PHOTODIODE; BOTTOM; PORTION; DRAIN; AREA; FORMING; FORWARDING;

GATE; CHANNEL

Class Codes

International Classification (Main): H01L-027/146

(Additional/Secondary): H04N-005/335

International Classification (+ Attributes)

IPC + Level Value Position Status Version

H01L-0027/148 A I L B 20060101

H01L-0031/06 A I F B 20060101

H01L-0029/04 A I R 20060101

H01L-0029/768 A I R 20060101

H01L-0031/0376 A I R 20060101

H04N-0003/14 A I R 20060101

H01L-0029/02 C I R 20060101

H01L-0029/66 C I R 20060101

H01L-0031/036 C I R 20060101

H04N-0003/14 C I R 20060101

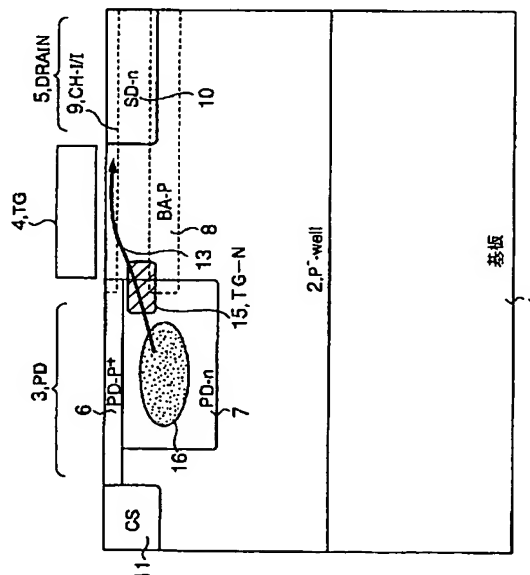
US Classification, Issued: 257061000, 257462000, 348311000, 257215000,
257461000, 257462000, 257215000

File Segment: EPI;

DWPI Class: U13; W04

Manual Codes (EPI/S-X): U13-A01A; W04-M01B5

(11)特許出願公開番号



【特許請求の範囲】

【請求項 1】半導体基板上に形成された第 1 導電型のウェル領域と、このウェル領域上に形成された第 2 導電型領域とからなるフォトダイオード部と、フォトダイオード部の第 2 導電型領域上部に形成された第 1 導電型の表面層と、前記第 1 導電型のウェル領域における前記フォトダイオード部の第 2 導電型領域近傍に形成された第 2 導電型のドレイン領域と、当該ドレイン領域と前記フォトダイオード部の第 2 導電型領域との間における前記ウェル領域上部に設けられた読み出しトランジスタのゲート部とを有する固体撮像装置において、

前記フォトダイオード部の第 2 導電型領域と第 2 導電型のドレイン領域とを深層部で接続する第 1 導電型バリア層を形成し、かつ、この第 1 導電型バリア層と前記ゲート部下との間には、前記フォトダイオード部の第 2 導電型領域から迫り出す高濃度第 2 導電型のチャンネル構成層を設ける構成としたことを特徴とする固体撮像装置。

【請求項 2】半導体基板上に形成された第 1 導電型のウェル領域と、このウェル領域上に形成された第 2 導電型領域とからなるフォトダイオード部と、フォトダイオード部の第 2 導電型領域上部に形成された第 1 導電型の表面層と、前記第 1 導電型のウェル領域における前記フォトダイオード部の第 2 導電型領域近傍に形成された第 2 導電型のドレイン領域と、当該ドレイン領域と前記フォトダイオード部の第 2 導電型領域との間における前記ウェル領域上部に設けられた読み出しトランジスタのゲート部とを有する固体撮像装置において、

第 2 導電型のドレイン領域における深層部から前記フォトダイオード部の第 2 導電型領域側に迫り出すオフセットを以て形成された、第 1 導電型のバリア層を備え、かつ、前記フォトダイオード部の第 2 導電型領域には前記バリア層位置よりも表層側に位置させ、かつ、前記ゲート部端に向けて高濃度第 2 導電型のチャンネル構成層を設ける構成としたことを特徴とする固体撮像装置。

【請求項 3】半導体基板上に形成された第 1 導電型のウェル領域と、前記ウェル領域上に形成された第 2 導電型のフォトダイオード部と、第 2 導電型のフォトダイオード部の上部に形成された第 1 導電型の表面層と、第 2 導電型のフォトダイオード部に隣接して形成された読み出しゲート部と、読み出しゲート部の他方に隣接して形成される第 2 導電型のドレイン領域とをもった、固体撮像装置の単位セル部において、

前記読み出しトランジスタのゲート部下に、前記第 2 導電型フォトダイオード部と前記第 2 導電型ドレイン領域の双方に隣接して形成された第 1 導電型バリア層を持ち、この第 1 導電型バリア層の上部に、前記第 2 導電型フォトダイオード部と前記第 2 導電型ドレイン領域の両方に隣接して形成された第 2 導電型の貫通チャンネル層を持つことを特徴とする固体撮像装置。

【請求項 4】請求項 3 に記載の固体撮像装置において、

前記第 1 導電型バリア層に換えて、前記第 1 導電型のウェル層よりも高濃度の第 2 導電型のバリアウェルを設けることを特徴とする固体撮像装置。

【請求項 5】半導体基板上に形成された第 1 導電型のウェル領域と、このウェル領域上に形成された第 2 導電型領域とからなるフォトダイオード部と、フォトダイオード部の第 2 導電型領域上部に形成された第 1 導電型の表面層と、前記第 1 導電型のウェル領域における前記フォトダイオード部の第 2 導電型領域近傍に形成された第 2 導電型のドレイン領域と、当該ドレイン領域と前記フォトダイオード部の第 2 導電型領域との間における前記ウェル領域上部に設けられた読み出しトランジスタのゲート部とを有する固体撮像装置において、

前記フォトダイオードの第 2 導電型領域の一部が、前記読み出しトランジスタのゲート部下の酸化膜と界面に至る構造とすることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は MOS 型の固体撮像装置にかかわり、特に単位セル部分の読み出しトランジスタ部分の構造の改良に関するものである。

【0002】

【従来の技術】MOS 型固体撮像素子（MOS イメージセンサ）は、微細化が可能であり、また、単一電源で駆動できること、そして、撮像部と周辺回路を含め、全てを MOS プロセスで作製できて、1 つの集積回路としてチップを構成できること、などの利点から、近年、注目を集めている。

【0003】そして、画素の内部に増幅機能を有する増幅型の MOS 型固体撮像装置（増幅型 MOS イメージセンサ）に関する数々の技術が提案されており、かかる増幅型 MOS センサは、高画質の追求に応えるための画素数の増加やイメージサイズの縮小による画素サイズの縮小に適したものであるとして期待されている。

【0004】更にまた、増幅型 MOS イメージセンサは、特に、CCD イメージセンサに比べて低消費電力で、センサ部分と同じ CMOS プロセスを使う他の周辺回路との統合が容易であり、コストダウンが図れるという決定的な利点もある。

【0005】ここで、増幅型 MOS イメージセンサの概略を説明しておく。すなわち、増幅型 MOS イメージセンサは、各画素を構成するセルは、同一半導体基板 Sub 上に、光電変換素子としてのフォトダイオードと複数の MOS トランジスタとが並設された構成がとられている。そして、フォトダイオードによる光電変換により発生した信号電荷で信号電荷蓄積・読み出し部を構成する MOS トランジスタに電位を与え、当該 MOS トランジスタをオンさせてその電位を、画素内部の信号増幅用に設けられた MOS トランジスタ（増幅トランジスタ）に与えて当該増幅用トランジスタを交調するように構成す

ることで、画素内部に増幅機能を持たせている。

【0006】そして、増幅トランジスタで増幅した信号は水平アドレス線を介して読み出すことで、その画素での画像信号となる。このような単位セルが複数個、マトリックス状（行列2次元状）に整然と配列されて構成される。

【0007】ところで、MOS型固体撮像装置は単一電源駆動、低消費電力ではあるが、その反面、たとえば、5[V]や3.3[V]といった低電圧駆動であるがために、光電変換部として完全空乏化したフォトダイオードを用いている場合には、当該フォトダイオードから信号電荷を読み出すことが難しく、完全転送読み出しを行なうことが難しくなっている。

【0008】MOS型固体撮像装置は、単位セルを構成するフォトダイオード部は第1導電型のウェルに、第2導電型の不純物領域を形成して構成する。そして、この第2導電型不純物領域上に第1導電型の不純物によるサーフェスシールド領域を形成しており、フォトダイオード部の第2導電型領域の不純物濃度は、ウェル領域の不純物濃度と、サーフェスシールド領域の不純物濃度の、中間のレベルにある。また、フォトダイオードの第2導電型不純物領域は、フォトダイオードで受光量対応に発生した電子電荷を蓄積する必要があるので、フォトダイオードの電位は、3.3[V]あるいは、5[V]などの正電圧に設定する必要がある。

【0009】しかし、このようにすると、必ず空乏層が第2導電型不純物領域の表面に伸びることになるが、空乏層が第2導電型不純物領域の表面に達するとリーク電流が増加し、暗時むらの増加を招くので、第2導電型不純物領域の上面に形成してあるサーフェスシールド領域の部分での不純物濃度は、もっとも高く設計する必要がある。

【0010】従って、このような、サーフェスシールドの構造は、フォトダイオードの第2導電型不純物領域を完全空乏化して形成することになるので、フォトダイオードの第2導電型不純物領域に受光量対応に光電変換されて生じた信号電荷は、リークされることなく半導体基板1内部に蓄積されるようになる。そして、この蓄積された信号電荷は、当該フォトダイオードの第2導電型不純物領域をソース領域として共用するMOS型の読み出しトランジスタにより読み出すことになる。

【0011】フォトダイオードの第2導電型不純物領域をソース領域として共用するMOS型の読み出しトランジスタは当該第2導電型不純物領域とドレイン領域とに跨ってゲート電極を有することになり、このゲート電極に信号を与えて読み出しトランジスタをオン状態にすることにより、フォトダイオードの第2導電型不純物領域に蓄積されている信号電荷を読み出す。

【0012】但し、上記構成のMOS型固体撮像装置の場合、上述した高濃度のサーフェスシールド領域は、半

導体製造工程におけるイオン注入形成後の熱処理により、必ず読み出しトランジスタのゲート下まで伸びてくるので、ひとたび、このような状態になると、読み出しトランジスタのゲートをオンさせても、高濃度の第1導電型サーフェスシールド層によって、ゲート下の電位を、高い電圧にすることができなくなる。

【0013】そのため、フォトダイオードの第2導電型不純物領域に発生した信号電荷を、読み出しトランジスタは読み出すことができなくなってしまう。完全読み出しではない、np型のフォトダイオードでは信号読み出しが簡単に出来る。従って、単位セルの光電変換素子として、このようなフォトダイオードを用いることも考えられるが、しかし、今度はフォトダイオードが完全転送にならないので、残留電荷に起因して暗電流などが増加するなどの問題が発生する。

【0014】さらに、フォトダイオードの信号が、完全転送読み出しできないと、各画素で容量性残像が発生し、画質劣化を引き起こしてしまう。そのため、MOS型固体撮像装置としては、その単位セルに、フォトダイオードを完全空乏化した構造とする構成を採用せざるを得ない。

【0015】それ故、完全空乏化したフォトダイオードから、発生したすべての信号電荷を完全に読み出すことができるようにする技術の開発が、MOS型固体撮像装置において囑望されている。

【0016】さらに、MOS型のみでなく、CCD型固体撮像装置においても、現状の読み出し電圧15[V]の低電圧化、セル寸法の縮小化による完全転送読み出しの困難さが、問題となっている。

【0017】そこで、対象はCCD型固体撮像装置に関する技術ではあるが、例えば、『文献 Nobuhiko Mutoh, et al., "A 1/4 - inch 380kPixel IT - CCD Image Sensor Employing Gate - Assisted Punchthrough Read - out Mode", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.42, NO.10, OCTOBER 1995.』に示されるように、CCD型固体撮像素子において、その半導体基板の深部に形成されたフォトダイオード部の信号を、読み出し方法の工夫によって改善した技術が提案されている。

【0018】この例では、フォトダイオードの飽和信号の減少分を、半導体基板の深部にフォトダイオードを形成するようにしたことによって改善するようにしており、半導体基板の深部にフォトダイオードを形成したことによってフォトダイオードの飽和信号を増加させ、且つ、当該基板深部の信号電荷を読み出しゲートの改良によって、改善している。

【0019】この例では、フォトダイオードに隣接する読み出しゲート下の構造を、シリコン酸化膜界面側から、順番に、“p層”／“p-層”／“p層”の構造とすることにより、読み出しゲート部に印加する電圧によって、パンチスルーさせて読み出すモードになってい

る。

【0020】このように、フォトダイオードの飽和信号の減少分を、半導体基板の深部にフォトダイオードを形成したことによって当該フォトダイオードの飽和信号を増加させ、当該基板深部の信号電荷を読み出しゲートを介して読み出す構造とすることで補うという構想であるが、このような、フォトダイオード部表面がp型のシールド層で覆われる構造では、基板内部に形成されるフォトダイオードの信号電荷の読み出しが、実際には極めて難しいものになってしまう。

【0021】その理由は、読み出しゲート端にセルフアラインで形成されるサーフェスシールド層のために、ゲートに電圧を印加しても、フォトダイオード側のチャネルの変動が抑えられてしまい、フォトダイオードの信号電荷にとっては、バリア（障壁）になってしまうからである。

【0022】以上のサーフェスシールドによる問題は、MOS型固体撮像装置やCCD型固体撮像装置において、読み出しができなくなると云う問題を招き、また、読み出し電圧の低電圧化を促進する上で、大きな障害となっている。

【0023】

【発明が解決しようとする課題】MOS型固体撮像装置は単一電源駆動、低消費電力を行うことができ、非常にCCD型と比べても経済的に利点のある素子である。しかし、フォトダイオードの一部を読み出し用のMOSトランジスタのソースに兼用すると、フォトダイオード部上に形成するサーフェスシールド層のために、フォトダイオードの第2導電型不純物領域での不純物濃度は、ウェル領域の不純物濃度と、サーフェスシールド領域の不純物濃度の、中間のレベルにあり、また、フォトダイオードの第2導電型不純物領域は、フォトダイオードで受光量対応に発生した電子電荷を蓄積する必要があるもので、フォトダイオードの電位は3.3[V]あるいは、5[V]などの正電圧に設定しなければならない。

【0024】しかし、このようにすると、必ず空乏層が第2導電型不純物領域の表面に伸びることになるが、空乏層が第2導電型不純物領域の表面に達するとリーク電流が増加し、暗時むらの増加を招くので、第2導電型不純物領域の上面に形成してあるサーフェスシールド領域の部分での不純物濃度は、もっとも高く設計する必要がある。

【0025】そして、このようなサーフェスシールドの構造は、フォトダイオードの第2導電型不純物領域を完全空乏化して形成することになるので、フォトダイオードの第2導電型不純物領域に受光量対応に光電変換されて生じた信号電荷は、リークされることなく半導体基板1内部に蓄積されるようになる。

【0026】そして、フォトダイオードの第2導電型不純物領域をソース領域として共用するMOS型の読み出

しトランジスタは当該第2導電型不純物領域とドレイン領域とに跨ってゲート電極を有することになり、このゲート電極に信号を与えて読み出しトランジスタをオン状態にすることにより、フォトダイオードの第2導電型不純物領域に蓄積されている信号電荷を読み出す。

【0027】但し、上記構成のMOS型固体撮像装置の場合、上述した高濃度のサーフェスシールド領域は、半導体製造工程におけるイオン注入形成後の熱処理により、必ず読み出しトランジスタのゲート下まで伸びてくるので、ひとたび、このような状態になると、読み出しトランジスタのゲートをオンさせても、高濃度の第1導電型サーフェスシールド層によって、ゲート下の電位を、高い電圧にすることができなくなる。

【0028】そのため、フォトダイオードの第2導電型不純物領域に発生した信号電荷を、読み出しトランジスタは読み出すことができなくなってしまう。そこでこの発明の目的とするところは、この点を改良し、サーフェスシールド構造であっても、3.3[V]や5.0

[V]といった低電圧の電源電圧で、フォトダイオードの信号電荷を完全転送出来るようにした読み出しトランジスタ構造を持つ固体撮像装置を提供することにある。

【0029】

【課題を解決するための手段】上記目的を達成するため、本発明は次のように構成する。すなわち、半導体基板上に形成された第1導電型のウェル領域と、このウェル領域上に形成された第2導電型領域とからなるフォトダイオード部と、フォトダイオード部の第2導電型領域上部に形成された第1導電型の表面層と、前記第1導電型のウェル領域における前記フォトダイオード部の第2導電型領域近傍に形成された第2導電型のドレイン領域と、当該ドレイン領域と前記フォトダイオード部の第2導電型領域との間における前記ウェル領域上部に設けられた読み出しトランジスタのゲート部とを有する固体撮像装置において、第1には、前記フォトダイオード部の第2導電型領域と第2導電型のドレイン領域とを深層部で接続する第1導電型バリア層を形成し、かつ、この第1導電型バリア層と前記ゲート部下との間には、前記フォトダイオード部の第2導電型領域から迫り出す高濃度第2導電型のチャネル構成層を設ける構成とした。

【0030】あるいは、前記フォトダイオード部の第2導電型領域と第2導電型のドレイン領域とを深層部で接続する第1導電型バリア層を形成し、かつ、この第1導電型バリア層と前記ゲート部下との間には、前記フォトダイオード部の第2導電型領域から前記ドレイン領域に至る第2導電型のチャネル構成層を設ける構成とした。

【0031】あるいは、前記読み出しトランジスタのゲート部下に、前記第2導電型フォトダイオード部と前記第2導電型ドレイン領域の双方に隣接して形成された第1導電型バリア層を持ち、この第1導電型バリア層の上部に、前記第2導電型フォトダイオード部と前記第2導

10

20

30

40

50

電型ドレイン領域の両方に隣接して形成された第2導電型の貫通チャネル層を持つ構造とするか、あるいは第1導電型バリア層に換えて、前記第1導電型のウェル層よりも高濃度の第2導電型のバリアウェルを設ける構造とした。

【0032】あるいは、半導体基板上に形成された第1導電型のウェル領域と、このウェル領域上に形成された第2導電型領域とからなるフォトダイオード部と、フォトダイオード部の第2導電型領域上部に形成された第1導電型の表面層と、前記第1導電型のウェル領域における前記フォトダイオード部の第2導電型領域近傍に形成された第2導電型のドレイン領域と、当該ドレイン領域と前記フォトダイオード部の第2導電型領域との間における前記ウェル領域上部に設けられた読み出しトランジスタのゲート部とを有する固体撮像装置において、前記フォトダイオードの第2導電型領域の一部が、前記読み出しトランジスタのゲート部下の酸化膜と界面に至る構造とした。

【0033】このような構造にすることにより、フォトダイオード部分がサーフェスシールド構造でも、読み出しトランジスタを正常に動作させてフォトダイオードの信号を完全読み出しすることができるようになり、サーフェスシールドされたフォトダイオードの信号電荷を、5[V]や3.3[V]の低電源電圧で読み出すことが出来る読み出しトランジスタ構造が得られる。

【0034】従って、この発明によれば、単位セル部分完全空乏化したフォトダイオード部とそのフォトダイオードの信号電荷を読み出すトランジスタを有する構造において、完全空乏化したフォトダイオード部の信号を完全読み出しすることの出来る、読み出しトランジスタを持った固体撮像装置を提供できる。

【0035】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。

（第1の実施形態）図1に、本発明の第1の実施例を示す。

【0036】この構造は、Si（シリコン）半導体基板1上に、例えば、p型不純物を拡散した第1導電型のウェル領域2が形成されている。このウェル領域2の不純物濃度は、数E15（E15は10の15乗）程度の低濃度である。

【0037】このウェル領域2の一部には当該ウェル領域2の内部に、フォトダイオード3を構成するための領域（PD-n）7を第2導電型の不純物を注入することにより形成してある。

【0038】また、ウェル領域2には、フォトダイオード3を構成するための第2導電型領域（PD-n）7の近くに、所定距離を存して第2導電型の不純物による検出ノード部（SD-n）10が形成されており、この検出ノード部（SD-n）10とフォトダイオード3の第

2導電型領域（PD-n）7との間における半導体基板1上には信号蓄積・読み出し用の読み出しトランジスタを構成するためのゲート電極4が形成されている。このゲート電極4は検出ノード（SD-n）10とフォトダイオード3を構成する第2導電型領域（PD-n）7の間に跨る配置構成であるため、検出ノード（SD-n）10をドレイン領域5とし、フォトダイオード3を構成する第2導電型領域（PD-n）7をソース領域とするMOS型トランジスタを構成することになり、フォトダイオード3の第2導電型領域（PD-n）7に発生した信号電荷16をゲート電極4の電圧制御によってドレイン領域5側であるSD-n 10に流すことができ、SD-n 10に例えば、増幅用MOSトランジスタのゲート電極を接続した構成とすれば、ゲート電極4の制御でフォトダイオード3の電荷を与えることができるようになる。従って、SD-n 10は、増幅用MOSトランジスタに対するフォトダイオード3の検出ノードといった意味合いを持つ。従って、ドレイン領域5を形成している当該SD-n 10をここでは検出ノードと呼んでいる。同様の意味でゲート電極4はフォトダイオード3の発生信号の転送ゲートであり、以下、ゲート電極4を転送ゲート（TG）4と呼ぶこととする。

【0039】また、フォトダイオード3と読み出しトランジスタなどを囲んで半導体基板1上には素子分離用のチャネルストップ領域11が形成されており、また、半導体基板1のフォトダイオード3形成領域における第2導電型領域（PD-n）7上面には表面保護のためのサーフェスシールド領域（PD-p+）6が形成されており、また、転送ゲート（TG）4下および読み出し先の検出ノード部（SD-n）10上面には、当該検出ノード部（SD-n）10および転送ゲート（TG）4のしきい値を設定するためのチャネルインプラント（CH-I/I）9が成された層が形成されている。

【0040】素子分離領域11がチャネルストップ（高濃度の第1導電型層）としているが、この素子分離領域は厚い酸化膜であるLOCOS（Local Oxidation of Silicon）領域で分離されていても、どちらでも良い。図面ではチャネルストップで表されている。

【0041】フォトダイオード部3における第2導電型領域（PD-n）7の不純物濃度はウェル領域2の不純物濃度と、サーフェスシールド領域（PD-p+）6の不純物濃度の、中間のレベルにある。また、フォトダイオード3の第2導電型領域（PD-n）7には、フォトダイオードで受光量対応に発生した電子電荷を蓄積する必要があるため、正の電位に設定する必要がある。

【0042】しかし、このようにすると、必ず空乏層が第2導電型領域（PD-n）7の表面（上面）に伸びることになるが、空乏層が第2導電型領域（PD-n）7の表面（上面）に達するとリーク電流が増加し、暗時むらの増加を招くので、第2導電型領域（PD-n）7の

表面（上面）に形成してあるサーフェスシールド領域（PD-p+）6の部分での不純物濃度は、もっとも高く設計する必要がある。

【0043】このような、サーフェスシールドの構造では、フォトダイオード3の第2導電型領域（PD-n）7を完全空乏化して形成することになるので、フォトダイオード3の第2導電型領域（PD-n）7に受光量対応に光電変換されて生じた信号電荷16は、リークされことなく半導体基板1内部に蓄積される。

【0044】但し、高濃度のサーフェスシールド領域（PD-p+）6は、半導体製造工程におけるイオン注入形成後の熱処理により、必ず転送ゲート（TG）4下まで伸びてくるので、ひとたび、このような状態になると高濃度のp領域によって、転送ゲート（TG）4をオンさせても、転送ゲート4下の電位を、高い電圧にすることができなくなる。

【0045】そのため、フォトダイオード（PD-n）7の信号電荷16を読み出すことができなくなってしまう。さらに、低濃度のpウェル領域2によって、転送ゲート（TG）4のチャネル長Lが短くなると、ソース領域に相当するフォトダイオード3の第2導電型領域（PD-n）7と、ドレイン領域に相当する検出ノード部SD-n 10から空乏層が伸び、パンチスルーを起こしてしまう。

【0046】転送トランジスタのゲート（TG）4部分でパンチスルーが発生すると、ドレイン領域の電位がチャネル電位を変調する現象である“チャネル長変調効果（ドレイン変調効果）”が発生するので、信号光量・出力電荷特性のリニアリティを悪化させるなどの、問題が発生する。

【0047】そこで、この第1の実施例では、半導体基板1上に形成された第1導電型のウェル領域2と、この第1導電型のウェル領域と当該ウェル領域2上に形成された第1導電型のサーフェスシールド領域（PD-p+）6とからなるフォトダイオード部3と、フォトダイオード3の第2導電型領域（PD-n）7の上部に形成された第1導電型の表面層（サーフェスシールド領域（PD-p+）6）とフォトダイオード3における第2導電型領域（PD-n）7、そして、フォトダイオード3部分に近接して形成された読み出しゲート（TG）4部と、読み出しゲート（TG）4部の他方に近接して形成される第2導電型のドレイン領域5（検出ノード部（SD-n）10）とを備える固体撮像装置の単位セル部において、前記読み出しゲート（TG）4下の半導体基板1内部に、前記第1導電型のウェル領域2よりも高濃度の第1導電型バリア層（BA-P）8を形成し、さらに、前記フォトダイオード3の第2導電型領域7と、この第2導電型領域7に隣接し前記読み出しゲート（TG）4下に形成される第2導電型の貫通チャネル層9を有する構造とした。

【0048】すなわち、チャネル長変調効果（ドレイン変調効果）や、パンチスルーなどの問題を起こさないようにするために、第1の実施例では、転送ゲート（TG）4下にpウェル層2と同型でpウェル層2よりも高濃度（p型で高濃度）のバリア層（BA-P層）8を設けると共に、このバリア層（BA-P層）8はフォトダイオード3の第2導電型領域（PD-n）7と検出ノード（SD-n）10の両方に繋がるように設けている。

【0049】これにより、フォトダイオード3を構成する第2導電型領域（PD-n）7とトランジスタのドレイン側である検出ノード（SD-n）10の両方から伸びる空乏層を抑圧できる。

【0050】さらに、高濃度のバリア層（BA-P層）8の影響により、フォトダイオード3における第2導電型領域（PD-n）7の信号電荷が読み出せない可能性が発生するので、その対策としてバリア層（BA-P層）8の上部側にチャネル形成層（TG-N）15を設ける。このチャネル形成層（TG-N）15は、バリア層（BA-P層）8の上部側に位置させるようにし、フォトダイオード3の第2導電型領域（PD-n）7からトランジスタの転送ゲート（TG）4下に向けて一部迫り出すように形成する。

【0051】チャネル形成層（TG-N）15の形成範囲は狭く、フォトダイオード3の第2導電型領域（PD-n）7におけるトランジスタの転送ゲート（TG）4近傍と転送ゲート4下の一部領域を占める程度である。

【0052】このように構成することによって、チャネル形成層（TG-N）15は信号読み出し経路13の一部を担うようになり、信号読み出し経路を確保することができるようになる。

【0053】（第2の実施例）図2に、他の例として第2の実施例を示す。図2も構造は図1の場合と大体同じであるが、バリア領域（BA-P）8が、フォトダイオード3の第2導電型領域（PD-n）7に接続していない構造になっている。

【0054】しかし、ドレイン領域5を構成する検出ノード部（SD-n）10からの空乏層の伸びを抑える必要があるため、バリア領域（BA-P）8はドレイン領域5を構成する検出ノード部（SD-n）10の下部に接続している。

【0055】また、第1の実施例と同じ理由でバリア層（BA-P層）8の上部側にチャネル形成層（TG-N）15を設ける。このチャネル形成層（TG-N）15は、バリア層（BA-P層）8の上部側に位置させるようにするが、但し、第1の実施例のように、フォトダイオード3の第2導電型領域（PD-n）7からトランジスタの転送ゲート（TG）4下に向けて一部迫り出すようには形成せず、第2導電型領域（PD-n）7内にとどめるようにする。

【0056】チャネル形成層（TG-N）15の形成範

囲は狭く、フォトダイオード3の第2導電型領域(PD・n)7におけるトランジスタの転送ゲート(TG)4近傍の一部領域を占める程度である。

【0057】このように構成することによって、チャンネル形成層(TG・N)15は信号読み出し経路13の一部を担うようになり、信号読み出し経路を確保することができるようになる。

【0058】なお、転送ゲート(TG)4の形成後のセルフアライン工程によって、読み出しのためのn型のイオン注入領域(チャンネル形成層(TG・N)15)を形成するため、この構成のMOS固体撮像装置においては、製造工程上のばらつきを抑えることが出来る。

【0059】(第3の実施例)図3に、第3の実施例を示す。この例は基本的には第1の実施例の構造を踏襲している。但し、第1の実施例の構造から、チャンネル形成層(TG・N)15を除去し、代わりに転送ゲート(TG)4下であって、かつ、バリア層(BA・P)8上領域に、第2導電型領域(PD・n)7と検出ノード部(SD・n)10間に跨るチャンネル形成層(CH・A)12を設けるようにした。

【0060】すなわち、図3に示すように、この例は半導体基板1上に、低濃度のウェル領域(P・well領域)2が形成されている。この場合も読み出しが非常に問題となるため、読み出しゲート(TG)4の下に、フォトダイオード3の第2導電型領域(PD・n)7とトランジスタのドレイン部5を構成する(SD・n)10の両方に接続して、バリア層(BA・P)8を形成し、これによってチャンネル長変調効果(ドレイン変調効果)やパンチスルーの発生を抑えるようにし、さらに、低電圧の印加により、完全空乏化したフォトダイオード3の第2導電型領域(PD・n)7から、当該第2導電型領域(PD・n)7に発生した信号電荷16を検出ノード部(SD・n)10へと読み出すことができるようにするために、チャンネル領域におけるバリア層(BA・P)8上部側領域にイオン注入してチャンネル形成層(CH・A)12を形成する。

【0061】イオン注入は、第2導電型領域(PD・n)7の一部と、検出ノード部(SD・n)10の一部にも跨るように実施することで、第2導電型領域(PD・n)7と検出ノード部(SD・n)10を繋ぐように、チャンネル領域におけるバリア層(BA・P)8上部側領域にチャンネル形成層(CH・A)12を形成することができる。

【0062】このようなチャンネル形成層(CH・A)12を設けたことにより、フォトダイオード3の第2導電型領域(PD・n)7に発生した信号電荷16は、このチャンネル形成層(CH・A)12を電流パス13としてこれに沿って、ドレイン領域5の(SD・n)10に読み出されることになる。

【0063】この第3の実施例の場合は、バリア層(B

A・P)8とチャンネル形成層(CH・A)12を、同一マスクにより形成することができ、工程を簡素化できる。しかし、必ずしも同一マスクで形成する必要はなく、ここに開示した発明は、バリア層(BA・P)8をチャンネル形成層(CH・A)12の下に形成するようにした構造を採用した点に、特徴があるものである。

【0064】(第4の実施例)図4に、第4の実施例を示す。この例は図3に示した第3の実施例の変形例に相当する。図4の構成においては、図3におけるバリア層(BA・P)8の代わりに、バリアウェル(BA・well)14を形成したものである。

【0065】このバリアウェル(BA・well)14は転送ゲート(TG)4下とその近傍を含む領域に互って形成され、フォトダイオード3の第2導電型領域(PD・n)7と、トランジスタのドレイン領域5用の(SD・n)10の両方に接続される構造となる。そして、このバリアウェル(BA・well)14領域内において、第2導電型領域(PD・n)7と検出ノード部(SD・n)10間に跨るかたちでチャンネルイオン注入領域(CH・A)12が形成される構造となる。

【0066】この構造によっても、第3の実施例と同様の効果が期待できる。

(第5の実施例)図5に、第5の実施例を示す。

【0067】この実施例は、図5に示すように、半導体基板1上に低濃度のpウェル(p・well)層2が形成され、このpウェル層2上に、フォトダイオード3の第2導電型領域(PD・n)7とドレイン領域5を構成するための検出ノード部(SD・n)10が形成されている。

【0068】pウェル層2上には、更に、フォトダイオード3の第2導電型領域(PD・n)7とドレイン領域5を構成するための検出ノード部(SD・n)10の形成領域間を覆って転送ゲート(TG)4が形成されるが、第2導電型領域(PD・n)7に対しては一部が迫り出すように、また、ドレイン領域5を構成するための検出ノード部(SD・n)10に対してはその領域に侵入しないように、形成している。

【0069】そして、フォトダイオード3の第2導電型領域(PD・n)7の上部にp型のサーフェスシールド部(PD・p+)領域6が形成されるが、このサーフェスシールド部(PD・p+)領域6は転送ゲート(TG)4によってセルフアラインで形成されるようにするのに対して、フォトダイオード3の第2導電型領域(PD・n)7は転送ゲート(TG)4により、セルフアラインで形成されないようにする。そのため、フォトダイオード3の第2導電型領域(PD・n)7部分は転送ゲート(TG)4の下まで広がっている構成となる。

【0070】このようにフォトダイオード3の第2導電型領域(PD・n)7部分が転送ゲート(TG)4の下まで広がっている構造を採用することにより、フォトダ

イオード3の第2導電型領域(PD-n)7に発生した信号電荷16を、ドレイン領域5の(SD-n)10に読み出すことが出来る構成となる。

【0071】すなわち、この第5の実施例の構成においては、フォトダイオード3の第2導電型領域(PD-n)7がトランジスタにおける転送ゲート(TG)4の下まで入り込んでいるので、転送ゲート(TG)4により読み出しチャンネルの電位を調整することが出来る。

【0072】この場合は、バリア層(BA-P)8は、構成上の必須要件とはならない。従って、図6のような構成であっても良い。図6はMOSトランジスタのLDD構造を採用したもので、17はLDD構造のサイドウォールスペーサである。このサイドウォールスペーサ17を利用して第2導電型領域(PD-n)7にオフセットをつけるようにし、ここを通して第2導電型領域(PD-n)7から信号電荷16がドレイン領域5の(SD-n)10に読み出されるようにしたものである。

【0073】(第6の実施例)図7に、第6の実施例を示す。図7に示すように、この例は半導体基板1上に、低濃度のウェル層2を形成する。そして、低濃度ウェル層2の上部に、フォトダイオード3を構成する第2導電型領域(PD-n)7とトランジスタのドレイン領域5を構成する検出ノード部(SD-n)10を形成する。

【0074】低濃度ウェル層2における第2導電型領域(PD-n)7と検出ノード部(SD-n)10の間の領域に、絶縁層を介して転送ゲート(TG)4が形成される。

【0075】この転送ゲート(TG)4の下には、読み出しを良くするために、フォトダイオード3の第2導電型領域(PD-n)7と同じ不純物タイプのチャンネル形成層(TG-N)15が、第2導電型領域(PD-n)7の一部から転送ゲート(TG)4下の一部領域にかけて形成されている。

【0076】この実施例においては、このチャンネル形成層(TG-N)15は、転送ゲート(TG)4に対してセルフアラインでは形成しないようにする。そして、チャンネル形成層(TG-N)15は転送ゲート(TG)4下の一部領域とサーフェスシールド層(PD-P+)6の一部に接続して形成されるようにすることが特徴である。

【0077】以上、種々の実施例を説明したが、要するに本発明は、単位セルを光電変換用のフォトダイオードと、フォトダイオードから信号電荷を読み出し用のMOSトランジスタを介して取り出すようにしたMOS型固体撮像装置において、サーフェスシールド構造でも、読み出し用MOSトランジスタのゲートの構造を工夫することで、駆動電圧が3.3[V]や5.0[V]の低電圧であっても、完全転送が出来るようにした読み出しトランジスタの構造を提供するものであり、半導体基板上に形成された第1導電型のウェル領域と、前記ウェル領

域上に形成された第2導電型のフォトダイオード部と、第2導電型のフォトダイオード部の上部に形成された第1導電型の表面層と、第2導電型のフォトダイオード部に隣接して形成された読み出しゲート部と、読み出しゲート部下部の第1導電型バリア層を形成し、さらに、前記第2導電型のフォトダイオード部と、第2導電型フォトダイオード層に隣接し、前記読み出しゲート部の下に形成された第2導電型の貫通チャンネル層を備えた構造にしたものである。

【0078】そして、このような構造とすることにより、フォトダイオード部分がサーフェスシールド構造であっても、フォトダイオードの信号を完全読み出しができるようになるもので、本発明により、5[V]や3.3[V]の低電源電圧でも、サーフェスシールドされたフォトダイオードの信号電荷を、読み出すことが出来る読み出しトランジスタ構造を提供出来る。

【0079】また、本発明のMOS型固体撮像装置の電源電圧は、1電源で小さいが、読み出しゲート(TG)4に印加する電圧は昇圧回路などの回路技術によって高くして良い。

【0080】なお、この発明はMOS型の固体撮像装置にかかわり、特に単位セル部分の読み出しトランジスタ部分の構造の改良に関するものであるが、完全空乏化したフォトダイオード部の信号を読み出すことの出来る読み出しトランジスタ構造を持ったサーフェスシールド構造でも、読み出しゲートの構造を工夫することで、3.3[V]や5.0[V]の低電源電圧で、完全転送が出来るようにした読み出しトランジスタが実現できる。

【0081】

【発明の効果】以上、詳述したように、本発明によれば、フォトダイオードがサーフェスシールド構造であり、完全空乏化したフォトダイオードであっても、読み出しゲートの構造を工夫したことで、3.3[V]や5.0[V]の低電源電圧で、フォトダイオードの信号電荷を完全転送することが出来るようになる読み出しトランジスタ構造を持つMOS型固体撮像装置を提供できる。

【図面の簡単な説明】

【図1】本発明を説明するための図であって、本発明の第1の実施例を示す素子断面図である。

【図2】本発明を説明するための図であって、本発明の第2の実施例を示す素子断面図である。

【図3】本発明を説明するための図であって、本発明の第3の実施例を示す素子断面図である。

【図4】本発明を説明するための図であって、本発明の第4の実施例を示す素子断面図である。

【図5】本発明を説明するための図であって、本発明の第5の実施例を示す素子断面図である。

【図6】本発明を説明するための図であって、本発明の第6の実施例を示す素子断面図である。

【図7】本発明を説明するための図であって、本発明の第7の実施例を示す素子断面図である。

【符号の説明】

1…半導体基板

2…低濃度のウェル層

3…フォトダイオード

5…トランジスタのド레인領域

4…転送ゲート (TG)

6…サーフェスシールド層 (PD-P+)

7…フォトダイオード3を構成する第2導電型領域 (PD-n)

* 8…バリア層 (BA-P)

9…第2導電型の貫通チャネル層

10…トランジスタのド레인領域5を構成する (SD-n)

11…素子分離用のチャネルストップ領域

12…チャネル形成層 (CH-A)

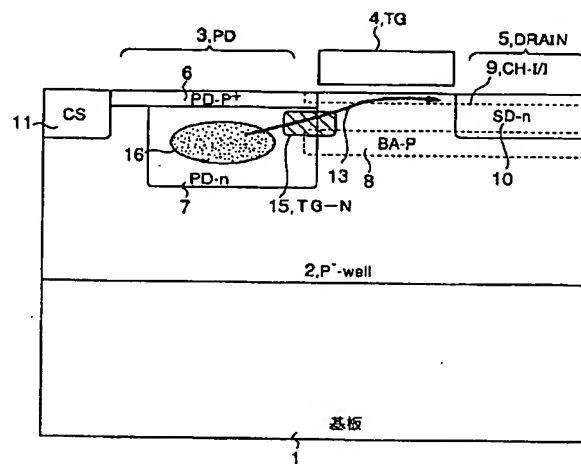
13…電流バス

14…バリアウェル (BA-well)

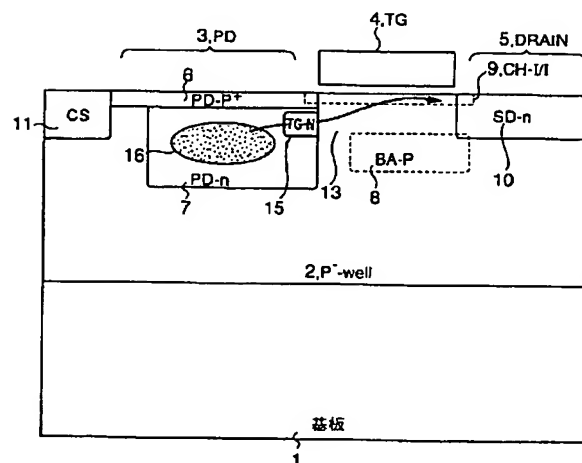
15…チャネル形成層 (チャネルインプラント層 (PD-N))

* 16…信号電荷

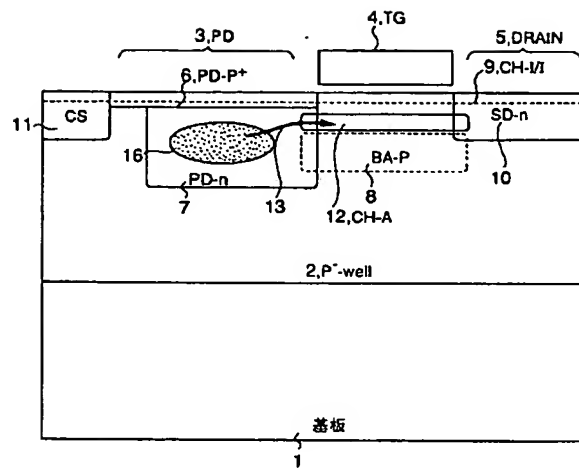
【図1】



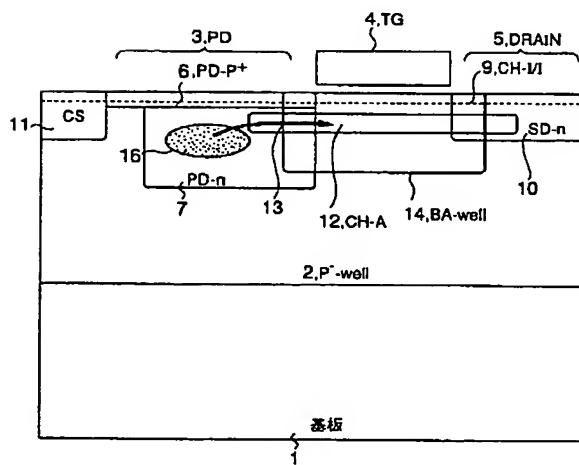
【図2】



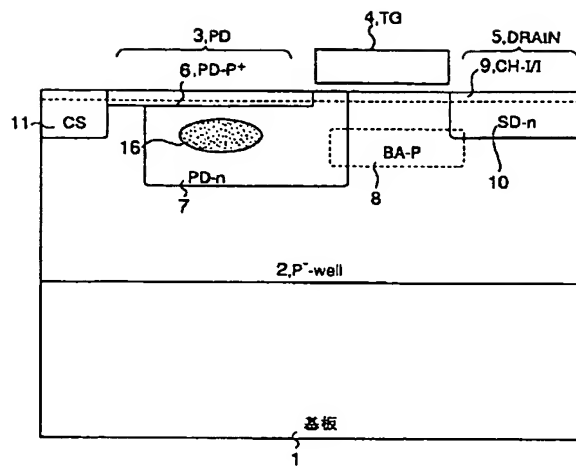
〔図 3〕



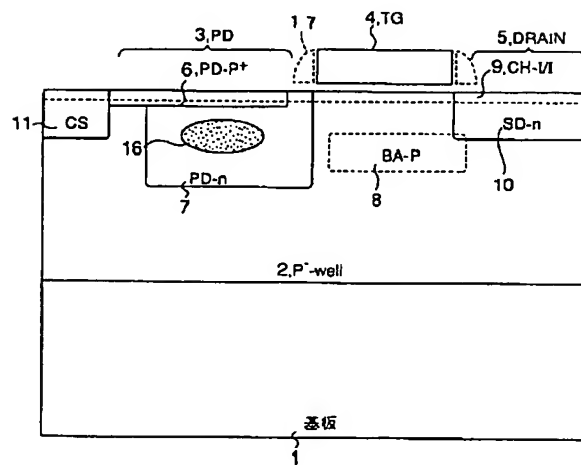
〔図 4〕



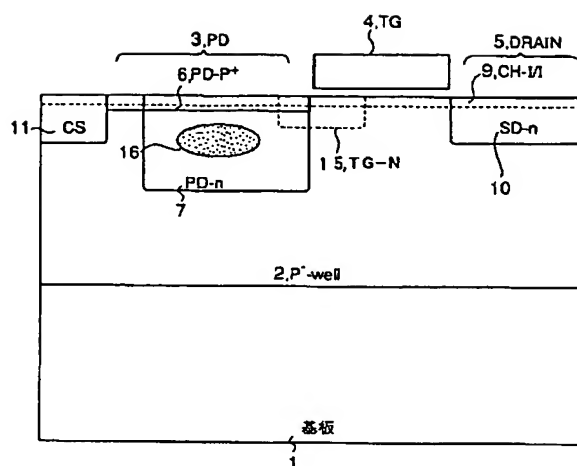
【図5】



【図6】



【図 7】



フロントページの続き

(72)発明者 野崎 秀俊

神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72)発明者 山下 浩史

神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72)発明者 井上 郁子

神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内